




---

Images Description and Claims (85 Kb)


---

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(11) WO 01/84605

(13) A1

(21) PCT/EP01/04786

(22) 27 April 2001 (27.04.2001)

(25) German

(26) German

(30) 100 22 655.8

28 April 2000

DE

(28.04.2000)

(43) 08 November 2001 (08.11.2001)

(51)<sup>7</sup> H01L 21/02

(54) METHOD FOR PRODUCING CAPACITOR STRUCTURES

(71) INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

(72) HARTNER, Walter [DE/US]; 10711 Toston Lane, Glen Allen, VA

(75) 23060 (US). SCHNABEL, Rainer, Florian [DE/DE]; Lerchenstrasse 6C, 85635 Höhenkirchen (DE). SCHINDLER, Günther [DE/DE]; Ungererstrasse 9, 80802 München (DE).

(74) GINZEL, Christian, et al; Zimmermann & Partner, Postfach 330 920, 80069 München (DE).

(81) JP, KR, US

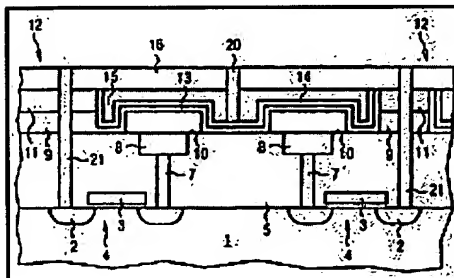
(84) European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)

For information on time limits for entry into the national phase please click here

**Published**

- *with international search report*
- 
- *before the expiration of the time limit for amending the claims and to*
- *be republished in the event of receipt of amendments*

(57) The invention relates to a method for producing at least one capacitor structure, comprising the following steps: providing a substrate, producing a first electrode on said substrate, producing a mask, whereby the first electrode is disposed in an opening of said mask, and applying at least one dielectric layer and at least one conductive layer for a second electrode. The surface of the part of the conductive layer that is applied in the opening of the mask is substantially disposed below the surface of the mask. The conductive layer and the dielectric layer are structured by polishing so that a capacitor structure is produced.



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/8242	(11) 공개번호 (43) 공개일자	특2003-0020273 2003년03월08일
(21) 출원번호	10-2002-7014182	
(22) 출원일자	2002년10월22일	
번역문제출일자	2002년10월22일	
(86) 국제출원번호	PCT/EP2001/04786	(87) 국제공개번호 WO 2001/84605
(86) 국제출원출원일자	2001년04월27일	(87) 국제공개일자 2001년11월08일
(81) 지정국	국내특허 : 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드 사이프러스 리히텐슈타인	

(30) 우선권주장	10022655.8 2000년04월28일 독일(DE)
(71) 출원인	인피네온 테크놀로지스 아게
	독일, 뮌헨 데-81669, 세인트-마틴-슈트라세 53
(72) 발명자	하트너발터
	미국버지니아23060글렌알렌토스톤레인10711
	슈나벨라이너플로리안
	독일85635회헨키르헨레어헨스트라세6체
	쉴러군터
	독일80802원헨운게러스트라세9
(74) 대리인	송재련, 김양오

심사청구 : 있음

(54) 커패시터 구조물의 제조 방법

요약

본 발명은 하기 단계를 포함하는 적어도 하나의 커패시터 구조물을 제조하기 위한 방법에 관한 것이다: 기판을 제공하는 단계; 상기 기판 상에 제 1 전극을 형성하는 단계; 마스크를 형성하는 단계, 여기서 제 1 전극은 상기 마스크의 개구 내에 배치되고; 적어도 하나의 유전층 및 제 2 전극을 적어도 하나의 도전층을 제공하는 단계, 여기서 마스크의 개구 내에 제공된 도전층 부분의 표면은 마스크의 표면 하부에 배치되고; 폴리싱에 의해 도전층 및 유전층을 구조화함으로써, 커패시터 구조물을 형성하는 단계.

대표도

도 10

영세서

기술분야

본 발명은 커패시터 구조물의 제조 방법에 관한 것이다. 본 발명은 특히 강유전 커패시터 구조물 또는 높은 유전 상수를 가진 유전체로 이루어진 커패시터 구조물의 제조 방법에 관한 것이다.

배경기술

메모리 셀의 메모리 커패시터에 저장된 전하가 재생 가능하게 판독될 수 있게 하기 위해, 메모리 커패시터의 용량은 적어도 약 30 fF의 값을 가져야 한다. 동시에, 메모리 밀도를 높이기 위해 커패시터의 횡방향 폭은 계속 작아져야 한다. 메모리 셀의 커패시터에 대한 이러한 요구는 커패시터의 횡방향 폭이 작아짐에도 불구하고 충분한 커패시터 면적이 제공되기 위해 커패시터의 점점 더 복잡한 구조화('트렌치 커패시터', '스택 커패시터', '크라운 커패시터')를 야기한다. 따라서, 커패시터의 제조가 점점 더 복잡해짐으로 더 고가이다.

커패시터의 충분한 용량을 보장하기 위한 다른 가능성은 커패시터 전극들 사이의 유전층에 다른 재료를 사용하는 것이다. 따라서, 최근에는 종래의 산화실리콘/질화실리콘 대신에 새로운 재료, 특히 고-ε 상유전체 및 강유전체가 메모리 셀의 커패시터 전극들 사이에 사용된다. 이러한 새로운 재료는 종래의 산화

# 실리콘/질화실리콘(

(8) 보다 현저히 큰 상대 유전상수( $\epsilon_r$ )20를 갖는다. 따라서, 이러한 재료의 사용에 의해, 동일한 용량에서 메모리 셀의 횡방향 폭 및 필요한 커패시터 면적, 그리고 그에 따라 커패시터 구조화에 필요한 복잡성에 현저히 감소된다. 예컨대, 박막 스트론튬 티타네이트(BST,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ), 납 지르코늄 티타네이트(PZT,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ) 또는 란타-도핑된 납 지르코늄 티타네이트 또는 스트론튬 비스무트 탄탈레이트(SBT,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )가 사용된다.

종래의 DRAM-메모리 모듈과 더불어, 앞으로는 강유전 메모리 장치, 소위 FRAM이 중요한 역할을 하게 될 것이다. 강유전 메모리 장치는 DRAM 및 SRAM과 같은 종래의 메모리 장치에 비해 전압 또는 전류 공급의 차단 시에도 저장된 정보가 사라지지 않고 기억된 채로 남아있다는 장점을 갖는다. 강유전 메모리 장치의 이러한 비휘발성은 강유전 재료에서 외부 전계에 의한 분극이 외부 전계의 차단 후에도 유지된다는 사실을 기초로 한다. 강유전 메모리 장치에도 이미 언급한 새로운 재료, 예컨대 납 지르코늄 티타네이트(PZT,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ) 또는 란타 도핑된 납 지르코늄 티타네이트 또는 스트론튬 비스무트 탄탈레이트(SBT,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )가 사용될 수 있다.

그러나, 고- $\epsilon_r$ 상유전체 및 강유전체는 종래의 에칭 프로세스에 의해 구조화되기 어렵다. 상기 재료가 메모리 커패시터용 유전체층의 제조를 위해 사용되면, 상기 재료는 새로운 유전체의 디포징을 위한 프로세스 단계와 호환되는 부가의 새로운 전극 재료를 필요로 한다. 예컨대 기판 상에 이미 존재하는 종래의 전극 재료, 예컨대 도핑된 폴리실리콘을 산화시킴으로써 비도전성으로 만드는, 높은 온도에서 유전체의 디포징이 이루어진다. 그러나, 후자는 메모리 셀의 고장을 야기한다.

4d 및 5d 전이 금속, 특히 Ru, Rh, Pd 및 Os와 같은 귀금속, 및 유망한 후보로서 특히 Pt, Ir 및  $\text{IrO}_2$ 가 그것의 양호한 내산화성 및/또는 도전성 산화물의 형성으로 인해 전극 재료로서 도핑된 실리콘/폴리실리콘을 대체할 수 있다.

그러나, 집적 회로에 새로 사용된 상기 전극 재료는 구조화되기 어려운 부류의 재료에 속하는 것으로 나타났다. 예컨대, 상기 재료는 화학적으로 에칭되기 어렵거나 또는 에칭될 수 없는 재료에 속한다. 상기 재료에서 에칭 제거는 '반응성' 가스의 사용 시에도 주로 또는 거의 에칭의 물리적 성분에만 의존한다. 그 결과, 에칭 에지가 급경사이지 않고 매우 작은 구조물은 제조하기 어렵다. 또한, 에칭 에지에 종종 제거하기 어려운 재디포지션(redosition)이 나타난다.

층들을 구조화하기 위한 대안적 방법은 CMP 공정 단계(Chemical-Mechanical-Polishing, 예컨대 US 5,976,928)에 의해 수행될 수 있다. 이 방법에서 구조는 포토리소그래피로 쉽게 구조화될 수 있는 재료, 예컨대 산화실리콘 또는 질화실리콘으로 이루어진 마스크에 의해 미리 주어진다. 후속해서, 구조화될 재료가 적어도 마스크의 두께에 상응하는 층 두께로 코팅된다. 그리고 나서, CMP 단계에서 구조화될 재료가 마스크까지 제거된다. 이로 인해, 평탄한 표면이 얻어지고, 상기 표면 상에서 구조화될 재료는 마스크의 개방 영역의 구조를 갖는다.

CMP 프로세스 단계에 의한 제거는 일정한 압력으로 기판 위를 상대 속도로 움직이는 '패드'에 의한 폴리싱에 의해 이루어진다. CMP 프로세스의 중요한 요소는 제거될 재료에 매칭되어야 하는 폴리싱제, 소위 '슬러리'를 기판과 패드 사이에 사용하는 것이다. 상기 슬러리는 기계적 제거를 위한 일정한 크기의 연삭 입자, 및 층 표면과 반응하여 제거를 가속시킬 수 있는 화학 성분을 함유하는 용액으로 이루어진다.

새로운 전극 재료에서는 재료의 불활성으로 인해 CMP 단계의 화학적 성분이 제거에 거의 도움을 주지 않는다. 제거는 특히 슬러리의 연삭 입자의 기계적 작용에 의해 이루어진다. 따라서, 상기 재료는 기판 표면으로부터 낮은 제거율로 제거될 수 있다. 또한, 층 구조의 기능을 파괴할 수 있는 스크래치 형성의 위험이 커진다. 슬러리 중의 높은 침식성 화학 성분은 소정 결과를 가져오지 않는다.

층을 구조화하기 위한 표준 CMP 프로세스 단계의 또 다른 제한은 기판이 개방된 마스크 영역에서 수직 방향의 구조물을 가지면 일치하는 코팅이 불가능하다는 것이다. 그러나, 이것은 고집적 메모리 소자에서 표준인데, 그 이유는 최대 용량과 동시에 최소 횡방향 폭을 얻기 위해, 하부 전극이 3차원으로 구조화되기 때문이다.

따라서, 통상의 CMP 프로세스에 의한 층의 구조화는 고집적 메모리 소자의 제조라는 면에서 많은 어려움을 갖는다: a) 예컨대 화학적으로 불활성인 재료에서 필요한 종래의 CMP 단계 동안 기계적 연삭의 양이 경우에 따라 많기 때문에, 표면이 단부에 스크래치를 가질 수 있고, 상기 스트레치는 얇은 층, 특히 유전체를 손상시켜 커패시터를 파괴시킬 수 있다; b) 구조화될 층의 표면은 종래의 CMP 단계에서 슬러리 및 연삭에 의해 비가역적으로 오염될 수 있다; c) 특히, 기판이 마스크의 개구 영역에 수직 구조물을 갖는 경우, 종래의 CMP 구조화 방법은 기판에 일치하는 구조화된 층을 제조할 수 없다.

간행물 US 5,976,928호에는 하부 전극, 강유전 층 및 상부 전극이 동시에 단 하나의 CMP-단계에 의해 구조화되는 강유전 메모리 커패시터의 제조 방법이 공지되어 있다. 이것을 위해, 예컨대 제 1 귀금속 층, 강유전 층 및 제 2 귀금속층이 층을 가진 절연층 상에 디포징되고 단일 CMP 단계에 의해 층 외부에 있는 상기 층의 모든 영역이 제거된다. 그러나, CMP 단계로 인해 층의 상부 에지에 2개의 귀금속층 간의 도전 접촉이 형성될 수 있다. 상기 도전 접촉은 커패시터의 두 전극을 단락시키며, 이것은 메모리 커패시터의 고장을 일으킨다.

EP 0 771 022 A2호에는 커패시터의 상부 전극이 소위 대머신(damascene) 기술로 제조되는 아날로그 회로용 커패시터의 제조 방법이 공지되어 있다. 여기서는 하부 전극 및 커패시터 유전체 상에 제공된 절연층 내에 개구가 형성되며, 상기 개구에서 커패시터 유전체가 노출된다. 후속해서, 상기 개구가 상부 전극의 재료로 완전히 채워지고 절연층의 표면까지 재폴리싱된다.

JP 7-022 518 A호에는 하부 및 상부 전극이 각각 별도의 대머신 기술에 의해 제조되는 메모리 커패시터의 제조 방법이 공지되어 있다. 그 사이에 놓인 커패시터 유전체는 구조화 없이 디포징된다.

### 발명의 상세한 설명

본 발명의 목적은 종래 방법의 단점을 줄이거나 완전히 없애는 커패시터 구조물의 제조 방법을 제공하는 것이다. 특히, 본 발명의 목적은 강유전 커패시터 구조물 또는 높은 유전 상수를 가진 유전체로 이루어진 커패시터 구조물을 저렴하게 제조할 수 있는 커패시터 구조물의 제조 방법을 제공하는 것이다.

상기 목적은 청구항 제 1항에 따른 적어도 하나의 커패시터 구조물의 제조 방법에 의해 달성된다. 본 발명의 또 다른 바람직한 실시예는 하기 설명, 종속 청구항 및 첨부한 도면에 제시된다.

본 발명에 따라, 적어도 하나의 커패시터 구조물을 제조하기 위한 방법은

- a) 기판을 제공하는 단계,
- b) 상기 기판 상에 제 1 전극을 형성하는 단계,
- c) 마스크를 형성하는 단계, 여기서 상기 제 1 전극은 마스크의 개구 내에 배치되고,
- d) 적어도 하나의 유전층 및 제 2 전극용 적어도 하나의 도전층을 제공하는 단계, 여기서 마스크의 개구 내에 제공된 도전층 부분의 표면은 마스크의 표면 하부에 배치되고,
- e) 폴리싱에 의해 상기 도전층 및 유전층을 마스크의 표면으로부터 제거함으로써, 커패시터 구조물을 형성하는 단계를 포함한다.

본 발명에 따른 방법은 나중에 상부 전극을 형성하는 도전층의 남은 구조화된 영역이 폴리싱 물체와 접촉하지 않으면서 도전층이 마스크에 의해 구조화될 수 있다는 장점을 갖는다. 이것은 개방된 마스크 영역에서 구조화된 층의 상부 에지 보다 높게 놓인 상부 에지를 가진 마스크가 도전층의 남은 영역을 보호한다는 사실을 기초로 한다. 동시에, 경우에 따라 개방된 마스크 영역에서 기판과 일치하는 층이 얻어진다. 이것은 예컨대 매우 얇은 유전체 층을 가진 메모리 커패시터의 제조를 위해 바람직하다.

본 발명에 따른 방법에 의해, 종래의 에칭 방법으로는 구조화되기 어려운 재료, 특히 상유전 및 강유전 고-ε 재료, 및 귀금속 및 그 도전성 산화물이 구조화되어 커패시터 구조물에 사용될 수 있다. 또한, 본 발명에 따른 방법은 매우 얇은 유전체 층 및 그에 따라 비교적 큰 용량을 가진 커패시터 구조물의 제조를 가능하게 한다. 전극들 사이에 놓인 얇은 유전층의 영역은 폴리싱 물체와 기계적으로 접촉하기 때문에, 층의 상기 부분이 손상되고 커패시터의 2개의 전극층 사이의 단락이 형성될 위험이 없다.

본 발명에 따른 방법에서는 제 1(하부) 전극이 구조화된 후에, 유전층 및 제 2(상부) 전극용 도전층이 제공된다. 따라서, 폴리싱에 의해 유전층 및 제 2 전극용 도전층만이 구조화된다. 그 결과, 폴리싱에 의해 제 1과 제 2 전극 사이의 도전 접속이 형성되지 않는다.

바람직하게는 폴리싱 단계 전에 충전층이 도전층 상에 제공된다. 이러한 배치에 의해, 도전층이 폴리싱 단계 동안 제거 및 폴리싱제 자체에 의해 생길 수 있는 오염으로부터 보호된다. 동시에, 충전층은 폴리싱 동안 마스크 구조물을 기계적 전단력으로부터 보호한다.

바람직하게는 폴리싱 프로세스 후에, 커버층, 특히 절연 커버층이 기판 상에 제공됨으로써, 마스크의 에지에 남겨진 도전층의 개방 에지가 커버된다.

또한, 마스크가 2개 이상의 층을 포함하는 것이 바람직하다. 이로 인해, 전체 제조 프로세스 동안 매우 효율적인 프로세스가 보장될 수 있다. 실시예 1에서, 예컨대 산화물 층(9)은 먼저 하부 전극의 구조화를 위한 마스크(참고: 도 6 및 도 7)이고 나중에는 층(11)과 함께 층(13 및 14)의 구조화를 위한 마스크(참고: 도 10, 11 및 12)이다.

또한, 유전층의 재료가 높은 유전 상수를 가진 유전체, 강유전 층 또는 강유전 층의 전구 물질을 포함하는 것이 바람직하다. 바람직하게는 특히 SBT, PZT 또는 BST이다. 또한, 도전층의 재료가 귀금속, 특히 Pt 또는 Ir, 또는 귀금속의 산화물을 포함하는 것이 바람직하다.

바람직한 폴리싱 프로세스 단계는 CMP 단계(Chemical-Mechanical-Polishing)이다. 즉, 구조화된 층을 화학적 반응에 의해 그리고 일정한 크기의 슬러리 입자에 의한 기계적 연삭에 의해 제거하는, 폴리싱 물체(패드) 및 폴리싱제(슬러리)에 의한 폴리싱이다. 각각의 폴리싱될 층에 대해, 상기 폴리싱될 층에 적합한 CMP 단계가 실행되는 것이 바람직하다.

바람직한 실시예에 따라 제 1 전극은 귀금속, 특히 Pt 또는 Ir, 또는 귀금속의 도전성 산화물을 포함한다. 또한, 도전층이 제공되고 폴리싱에 의해 구조화되는 방식으로 제 1 전극이 형성되는 것이 바람직하다. 이로 인해, 전체 커패시터 구조물이 에칭 프로세스 및 그에 수반되는 문제점 없이 형성될 수 있다. 제 1 전극용 도전층이 적절하게 미리 준비된 기판 상에 일치하게 제공되는 것이 특히 바람직하다. 또한, 유전층 및 제 2 전극용 도전층이 일치하게 제공되는 것이 바람직하다. 이로 인해, 비교적 큰 표면을 가진 커패시터 구조물이 간단히 형성될 수 있다. 특히, 유전층이 CVD 프로세스에 의해 제공되는 것이 바람직하다.

마스크의 바람직한 재료는 포토리소그래픽 에칭 공정에 의해 정확하게 구조화될 수 있고 전체 프로세스와 양립할 수 있는 재료, 예컨대 산화실리콘 또는 질화실리콘이다.

실시예에 따른 바람직한 충전층 재료는 절연 재료, 바람직하게는 종래의 CMP 프로세스 단계에 의해 제거될 수 있는 재료, 예컨대 산화실리콘이다.

이하, 본 발명을 첨부한 도면을 참고로 구체적으로 설명한다.

### 도면의 간단한 설명

도 1 - 10은 본 발명의 제 1 실시예에 따른 메모리 커패시터의 제조 방법을 나타낸 단면도.

도 11 - 16은 본 발명의 제 2 실시예에 따른 메모리 커패시터의 제조 방법을 나타낸 단면도.

### 실시예

도 1은 이미 제조된 트랜지스터(4)를 가진 실리콘 기판(1)을 도시한다. 상기 트랜지스터는 제조될 메모리 커패시터와 함께 2진 정보의 저장에 사용되는 메모리 셀을 형성한다. 트랜지스터(4)는 실리콘 기판(1)의 표면에 배치된 각각 2개의 확산 구역(2)을 갖는다. 트랜지스터(4)의 확산 구역(2)들 사이에는 채널 구역이 배치된다. 상기 채널 구역은 게이트 산화물에 의해 실리콘 기판(1)의 표면상의 게이트 전극(3)으로부터 분리된다. 트랜지스터(4)는 선행 기술에 공지되어 있어서 여기에 상세히 설명되지 않는 방법으로 제조된다.

트랜지스터(4)를 가진 실리콘 기판(1)상에는 절연층(5), 예컨대  $\text{SiO}_2$  층이 제공된다. 트랜지스터(4)의 제조를 위해 사용되는 방법에 따라 다수의 절연층이 제공될 수도 있다. 이것으로부터 얻어진 구조물이 도 1에 도시된다.

그리고 나서, 포도 기술에 의해 콘택 홀(6)이 형성된다. 상기 콘택 홀(6)은 트랜지스터(4)와 형성될 메모리 커패시터 사이를 접속시킨다. 콘택 홀(6)은 예컨대 플루오르 함유 가스에 의한 이방성 에칭에 의해 형성된다. 이것으로부터 얻어진 구조물이 도 2에 도시된다.

후속해서, 도전성 물질(7), 예컨대 인시트 도핑된 폴리실리콘이 구조물 상에 제공된다. 이것은 예컨대 CVD 방법으로 이루어질 수 있다. 도전성 물질(7)의 제공에 의해 콘택홀(6)이 완전히 채워지고, 절연층(5)상에 도전층이 형성된다(도 3). 그리고 나서, CMP 단계가 이어진다. 상기 CMP 단계는 절연층(5)의 표면상의 도전층을 제거하고 평탄한 표면을 만든다.

그리고 나서, 홀이 절연층(5)내에 콘택홀(6)에 대해 오버랩되게 또는 콘택 홀 내에만 형성된다. 대안으로서, 절연층(5)상에 도전성 물질(7)을 구조화한 후에 디포징되는 추가의 절연층(도시되지 않음)내에도 홀이 형성될 수 있다. 상기 홀은 배리어 물질(8), 예컨대 산화리튬으로 미리 주어진 높이까지 채워진다. 이것은 배리어 물질(8)이 전체 표면에 디포징되고, CMP 단계에 의해 절연층(5)의 표면까지 재폴리싱됨으로써 이루어진다. 배리어 물질(8)의 구조화는 이방성 에칭에 의해서도 이루어질 수 있다. 적합한 CMP 방법은 예컨대 동일자로 출원된, 내부 번호 GR 00 P 4087 DE, 'Polierfluessigkeit und Verfahren zur Strukturierung von Metalloxiden' 명칭의 독일 특허 출원에 개시되며, 그것을 참고할 수 있다. 이것으로부터 얻어진 구조물은 도 4에 도시된다.

따라서, 본 발명에 따른 방법의 제 1 단계 a)가 종료된다. 즉, 후속해서 커패시터 구조물이 형성되는 기판이 제공된다.

그리고 나서, 절연 물질, 예컨대 산화실리콘으로 이루어진 마스크 층이 제공되고, 포토리소그래픽 단계에 의해 그것이 콘택홀 주위의 영역에서 개방되게 구조화된다. 마스크(9)의 개방된 영역은 하부 전극의 구조를 정한다. 산화실리콘 마스크(9)상에는 도전층(10), 예컨대 Pt 층이 디포징된다. 도전층의 두께는 산화실리콘 마스크(9)내의 개구가 완전히 채워지도록 선택된다. 이것으로부터 얻어진 구조물이 도 5에 도시된다.

후속하는 CMP 단계에서는 산화실리콘 마스크(9)의 표면상의 Pt 층(10)이 제거되고 평탄한 표면이 형성된다. 따라서, 본 발명에 따른 방법의 제 2 단계 b)가 종료된다. 즉, 제 1 전극이 기판 상에 형성된다.

후속하는 메모리 커패시터 및 상부 전극의 구조화를 위해, 추가의 산화실리콘층(11)이 제공된다(도 6). 후속해서, 포도 기술에 의해 산화실리콘 층(11) 및 잔류한 산화실리콘 마스크(9)가 마스크(12)의 형성을 위해 구조화된다. 산화실리콘 층(11) 및 잔류한 산화실리콘 마스크(9)의 구조화는 하부 전극이 마스크(12)의 개구(12B)내로 릴리프 형태로 돌출하도록 설계된다. 따라서, 본 발명에 따른 방법의 단계 c)가 종료된다. 하부 전극의 3차원 형상에 의해 전극의 표면이 확대되며, 이것은 메모리 커패시터의 용량을 증가시킨다. 이것으로부터 얻어진 구조물이 도 7에 도시된다.

그 다음에, 강유전 층(13), 예컨대 스트론튬 비스무트 탄탈레이트(SBT) 층의 재료가 디포징된다. 상기 SBT 층은 CVD 프로세스에 의해 전극(10) 및 마스크(12)를 가진 기판 상에 디포징된다. CVD 프로세스는 385°C의 기판 온도 및 약 1200 Pa의 챔버 압력에서 수행된다. 가스 혼합물 중의 산소 함량은 60% 이다. 여기서, SBT 막이 비정질 막으로서 디포징된다. 따라서, SBT 막이 실질적으로 강유전 특성을 갖지 않는다. 후속해서, 디포징된, 비정질 SBT가 600 내지 750°C 온도에서 10 내지 30 분 동안 산소 분위기에서 템퍼링됨으로써, SBT의 강유전 특성이 형성된다.

그리고 나서, 제 2 도전층(14), 여기서는 Pt 층이 디포징된다. 상기 디포징 단계는 선행 기술에 상응하는 기술로 수행된다. 층층이 놓인 층(13) 및 (14)은 기판 및 마스크(12)에 일치하게 디포징되고 충분히 얇아서, 마스크(12)의 개구(12B)내에 제공되는 구조화될 층(13 및 14)의 부분의 표면(14A)이 마스크(12)의 표면(12A) 하부에 배치된다. 따라서, 본 발명에 따른 방법의 단계 d)가 종료된다.

본 실시예에서, 다음 층으로서 예컨대 산화실리콘으로 이루어진 충전층(15)이 제공된다. 상기 충전층(15)의 두께는 마스크의 남은 개구가 완전히 채워지도록 선택된다. 이것으로부터 얻어지는 구조물이 도 8에 도시된다.

후속해서, 제거될 재료에 알맞는 3개의 CMP-프로세스 단계가 이어진다. 즉, 제 1 CMP-단계는 충전층(15)을 제거하고, 제 2 CMP-단계는 마스크(12)상에 배치된 Pt-층(14)의 부분을 제거하고; 제 3 CMP-단계는 마스크(12)상에 배치된 강유전 층(13)의 부분을 제거한다. 따라서, 본 발명에 따른 방법의 단계 e)에 따른 제 1 전극(10), 유전(강유전) 층(13) 및 제 2 전극(14)을 가진 커패시터 구조물이 형성된다. 충전층(15)으로 인해, 커패시터의 액티브 부분에 속하는 층(13 및 14)의 남은 부분이 CMP 단계 동안 슬러리 및 패드와 접촉하지 않으면서 구조화가 이루어진다. 따라서, 층(13 및 14)의 남은 부분이 손상

또는 오염으로부터 보호된다. 이것으로부터 얻어진 상태가 도 9에 도시된다.

층(13 및 14)의 에지만이 마스크의 에지에 나타난다. 전극층(14)을 새로운 스트립 도체 평면으로부터 전기적으로 절연시키기 위해, 도전층(14)이 절연 커버층(16), 예컨대 산화실리콘에 의해 커버된다.

상부 전극(14)과, 절연층(5) 하부에 놓인 트랜지스터(4)의 확산 구역(2)을 전기적으로 접촉하기 위해, 적합한 콘택홀이 여러 산화실리콘 층(16, 15, 11, 9 및 5)을 통해 에칭된다. 이 경우, 적어도 하나의 콘택홀(20)은 상부 Pt-전극(14)상에서 끝난다; 부가의 콘택홀(21)은 마스크(12)를 통해, Pt-SBT 층을 지나, 선택 트랜지스터(4)의 확산 구역(2)에 까지 이른다. 그 다음에, 부가의 도전층이 디포지션되며, 콘택홀들이 채워진다(도 10). 그리고 나서, 종래의 방식으로 금속화 평면 및 소자의 패시베이션이 형성된다.

본 발명에 따른 방법의 제 2 실시예는 도 11 내지 도 16에 도시된다. 본 발명의 제 2 실시예에 따른 방법의 제 1 단계는 도 1 내지 도 4와 관련하여 설명된 것에 상응하므로, 여기서는 다시 설명되지 않는다. 도 4에 나타나는 바와 같이, 절연층(5) 및 배리어(8)를 포함하는 기판이 제공된다. 따라서, 본 발명에 따른 방법의 제 1 단계 a)가 종료된다. 도 4에 도시된 기판으로부터 예컨대 산화실리콘으로 이루어진 마스크(17)가 미리 주어진 두께로 기판 상에 제공된다.

후속해서, 기판 및 마스크(17)상에 도전 전극층(10)(여기서는 Pt로 이루어짐)이 일치하는 방식으로 디포지션된다. Pt 층(10)의 두께는 마스크(17)의 두께 보다 작다. 기판 상에 제공된 구조화될 층(10)의 부분의 표면은 마스크(17)의 표면 하부에 배치된다.

그리고 나서, 예컨대 산화실리콘으로 이루어진 절연 충전층(18)이 마스크(17) 및 Pt 층(10)을 채우기에 충분한 두께로 제공된다. 이것으로부터 얻어진 상태가 도 9에 도시된다.

그 다음에, CMP 프로세스 단계가 이어진다. 마스크(17)상에 배치된 Pt 층(10)의 부분이 제거된다. 충전층(18)으로 인해, 층(10)의 남은 부분이 CMP 단계 동안 슬러리 또는 패드와 접촉하지 않으면서 Pt 층의 구조화가 이루어진다. 따라서, 층(10)의 남은 부분이 손상 또는 오염으로부터 보호된다. 따라서, 본 발명에 따른 방법의 제 2 단계 b)가 종료됨으로써, 제 1 전극이 크라운(top) 구조로 완성된다.

후속해서, 부가의 산화실리콘층(11)이 제공된다. 이것으로부터 얻어진 상태가 도 12에 도시된다.

그리고 나서, 포토 기술에 의해 산화실리콘층(11) 및 산화실리콘 마스크(17)가 마스크(12)를 형성하기 위해 구조화된다. 산화실리콘층(11) 및 산화실리콘 마스크(17)의 구조화는 하부 탭 전극이 마스크(12)의 개구(12B)내에서 돌출하도록 설계된다. 따라서, 본 발명에 따른 방법의 제 3 단계 c)가 종료된다. 하부 전극의 3차원 형상에 의해 전극의 표면이 확대되고, 이것은 메모리 커패시터의 용량을 증가시키는 결과를 가져온다. 이것으로부터 얻어진 구조물은 도 13에 도시된다.

후속해서, 강유전 층(13)용, 예컨대 스트론튬 비스무트 탄탈레이트(SBT)용 재료 및 제 2 도전층(14), 여기서는 Pt-층이 디포지션된다. 상기 디포지션 단계는 선행 기술에 상응하는 기술로 수행된다. 층층이 높은 층(13) 및 (14)은 기판 및 마스크(12)에 일치하는 방식으로 디포지션되고, 상기 층들은 충분히 얇아서, 기판 상에 제공되는 구조화될 층(13 및 14)의 부분의 표면(14A)이 마스크(12)의 표면(12A) 하부에 배치된다. 따라서, 본 발명에 따른 방법의 단계 d)가 종료된다.

본 발명의 제 1 실시예에서와 같이, 다음 층으로서 예컨대 산화실리콘으로 이루어진 충전층(15)이 제공된다. 상기 충전층(15)의 두께는 마스크의 남은 개구가 완전히 채워지도록 선택된다. 이것으로부터 얻어지는 구조물은 도 14에 도시된다.

후속해서, 제거될 재료에 알맞는 3개의 CMP 프로세스 단계가 이어진다. 즉, 제 1 CMP 단계는 충전층(15)을 제거하고, 제 2 CMP 단계는 마스크(12)상에 배치된 Pt-층(14)의 부분을 제거하고, 제 3 CMP 단계는 마스크(12)상에 배치된 강유전 층(13)의 부분을 제거한다. 충전층(15)으로 인해, 커패시터의 액티브 부분을 형성하는 층(13 및 14)의 남은 부분이 CMP 단계 동안 슬러리 및 패드와 접촉하지 않으면서 구조화가 이루어진다. 따라서, 층(13 및 14)의 남은 부분이 손상 또는 오염으로부터 보호된다. 따라서, 본 발명에 따른 방법의 단계 e)에 따라 제 1 전극(10), 유전(강유전) 층(13) 및 제 2 전극(14)을 가진 커패시터 구조물이 형성된다. 이것으로부터 얻어진 상태가 도 15에 도시된다.

전극층(14)을 새로운 스트립 도체 평면으로부터 전기적으로 절연시키기 위해, 도전층(14)이 절연 커버층(16), 예컨대 산화실리콘에 의해 커버된다. 그리고 나서, 전극(14)과, 절연층(5) 하부에 배치된 트랜지스터(4)의 확산 구역(2)을 전기적으로 접촉시키기 위해, 적합한 콘택 홀이 여러 산화실리콘 층(16, 15, 11, 17 및 5)을 통해 에칭된다. 적어도 하나의 콘택홀(20)이 상부 Pt 전극(14)상에서 끝난다; 부가의 콘택홀(21)은 마스크(12)를 통해 Pt-SBT 층을 지나, 선택 트랜지스터(4)의 확산 구역(2)에까지 이른다. 그리고 나서, 부가의 도전층이 디포지션되며, 콘택홀들이 채워진다(도 10). 그 다음에, 종래의 방식으로 금속화 평면 및 소자의 패시베이션이 형성된다.

여기서는 부가의 콘택홀(21)이 마스크(12)의 지점에서 상부 Pt 전극(14)과 유전층(13)의 평면을 통과하고, Pt 전극 및 유전 층(13)이 노출되지 않는 것이 바람직하다. 본 발명에 따른 방법에 의해 바로 거기서 미리 상기 층들이 제거된다. 부가의 콘택홀(21)의 에칭시, Pt 전극층(14) 및 유전(강유전)층(13)이 마스크(17) 및 SiO<sub>2</sub> 층(16)에 의해 매립되므로, 특히 유전층(13)이 콘택홀 에칭에 의해 손상되지 않을 수 있다.

## (57) 청구의 범위

### 청구항 1

적어도 하나의 커패시터 구조물의 제조 방법에 있어서,

a) 기판(1)을 제공하는 단계,

- b) 상기 기판(1) 상에 적어도 하나의 제 1 전극(10)을 형성하는 단계,
- c) 마스크(12)를 형성하는 단계, 여기서 상기 제 1 전극(10)은 마스크(12)의 개구 내에 배치되고,
- d) 적어도 하나의 유전층(13) 및 제 2 전극용 적어도 하나의 도전층(14)을 제공하는 단계, 여기서 상기 마스크(12)의 개구 내에 제공된 도전층(14) 부분의 표면(14A)은 마스크(12)의 표면(12A) 하부에 배치되고,
- e) 폴리싱에 의해 상기 도전층(14) 및 상기 유전층(13)을 마스크(12)의 표면(12A)으로부터 제거함으로써, 커패시터 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

#### 청구항 2

- 제 1항에 있어서,
- 상기 폴리싱 전에 도전층(14)상에 충전층(15)이 제공되는 것을 특징으로 하는 방법.

#### 청구항 3

- 제 1항 또는 제 2항에 있어서,
- 상기 폴리싱 후에 커버층(16), 특히 절연 커버층이 제공되는 것을 특징으로 하는 방법.

#### 청구항 4

- 제 1항 내지 제 3항 중 어느 한 항에 있어서,
- 상기 마스크(12)가 적어도 2개의 층(9, 11)을 포함하는 것을 특징으로 하는 방법.

#### 청구항 5

- 제 1항 내지 제 4항 중 어느 한 항에 있어서,
- 상기 유전층(13)의 재료가 높은 유전 상수를 가진 유전체, 강유전체 및/또는 강유전체의 전구 물질을 포함하는 것을 특징으로 하는 방법.

#### 청구항 6

- 제 5항에 있어서,
- 상기 유전층(13)의 재료가 SBT, PZT 또는 BST를 포함하는 것을 특징으로 하는 방법.

#### 청구항 7

- 제 1항 내지 제 6항 중 어느 한 항에 있어서,
- 상기 도전층(14)의 재료가 귀금속, 특히 Pt 또는 Ir, 또는 귀금속의 산화물을 포함하는 것을 특징으로 하는 방법.

#### 청구항 8

- 제 1항 내지 제 7항 중 어느 한 항에 있어서,
- 상기 폴리싱이 CMP 프로세스로서 실시되는 것을 특징으로 하는 방법.

#### 청구항 9

- 제 8항에 있어서,
- 각각의 폴리싱될 층에 대해 상기 폴리싱될 층에 적합한 CMP 단계가 실시되는 것을 특징으로 하는 방법.

#### 청구항 10

- 제 1항 내지 제 9항 중 어느 한 항에 있어서,
- 상기 제 1 전극(10)이 귀금속, 특히 Pt 또는 Ir, 또는 귀금속의 도전성 산화물을 포함하는 것을 특징으로 하는 방법.

#### 청구항 11

- 제 1항 내지 제 10항 중 어느 한 항에 있어서,
- 상기 제 1 전극(10)은 도전층(10)이 제공되고 폴리싱에 의해 구조화됨으로써 형성되는 것을 특징으로 하는 방법.

#### 청구항 12

- 제 11항에 있어서,
- 상기 제 1 전극(10)용 도전층(10)이 일치하게 제공되는 것을 특징으로 하는 방법.

#### 청구항 13

- 제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 유전층(13) 및 제 2 전극용 도전층(14)이 일치하게 제공되는 것을 특징으로 하는 방법.

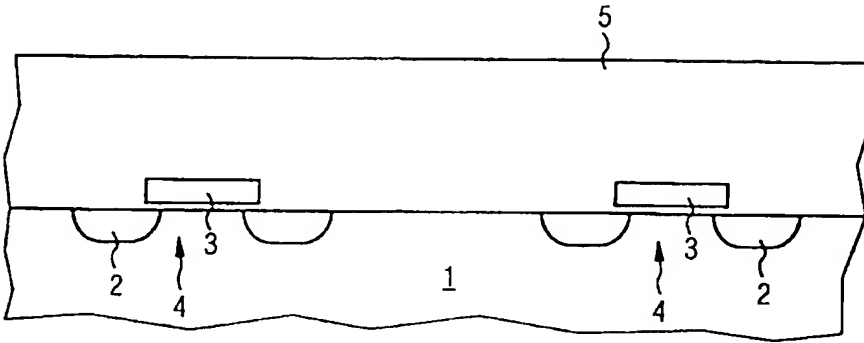
청구항 14

제 1항 내지 제 13항 중 어느 한 항에 있어서,

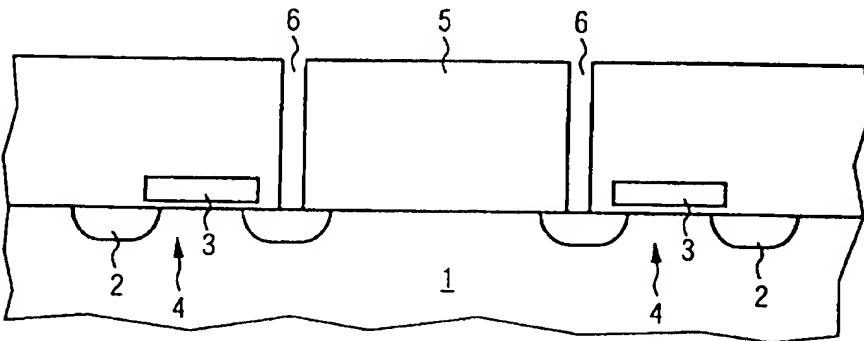
상기 유전층(13)이 CVD 방법에 의해 제공되는 것을 특징으로 하는 방법.

도면

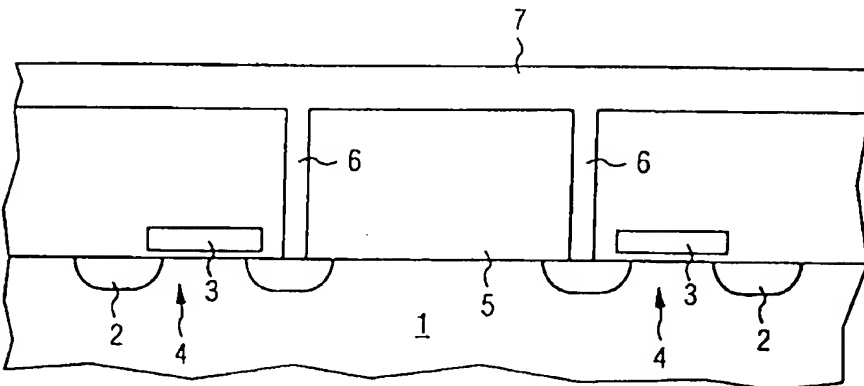
도면1



도면2

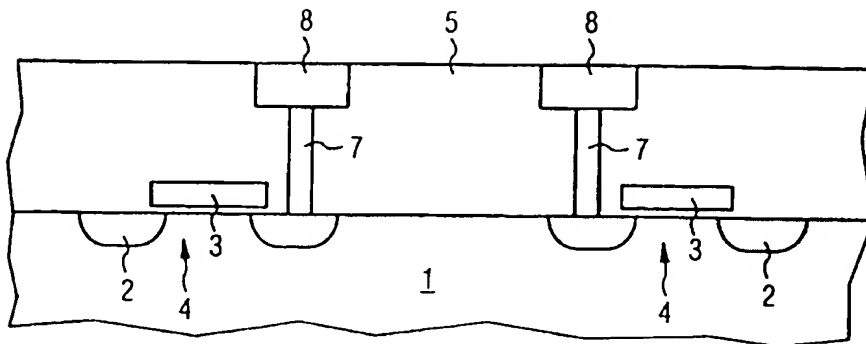


도면3

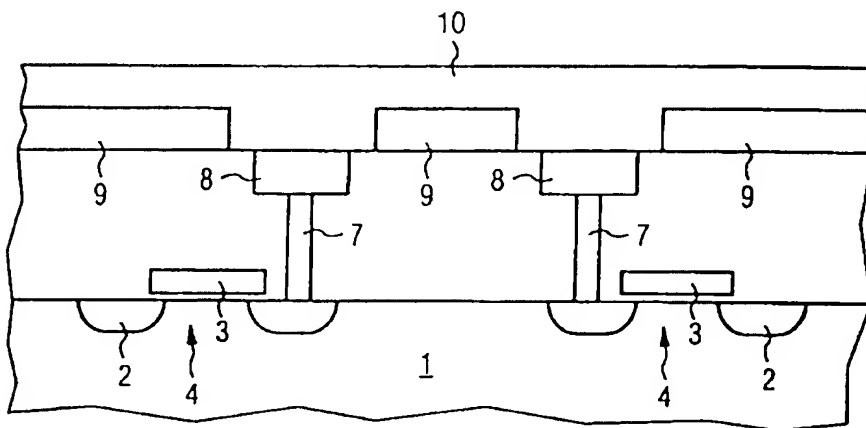




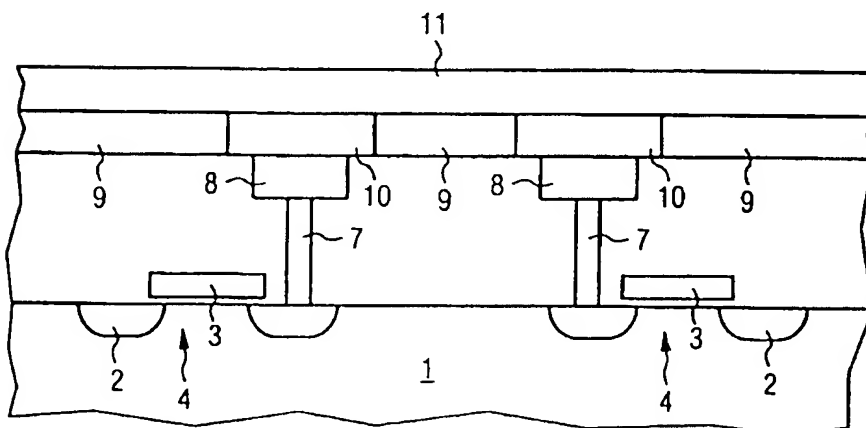
도면4



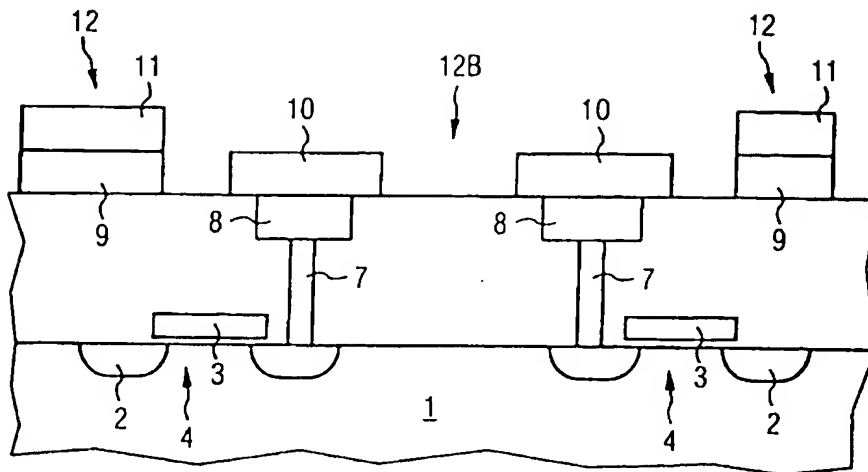
도면5



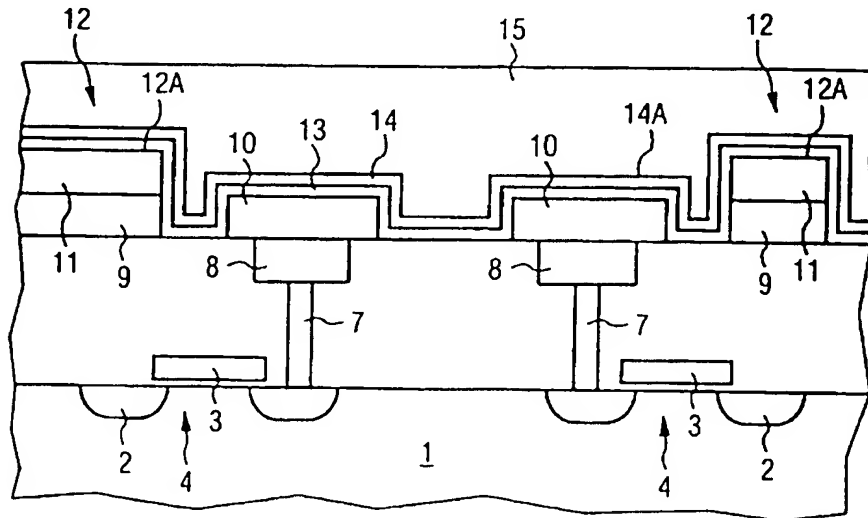
도면6



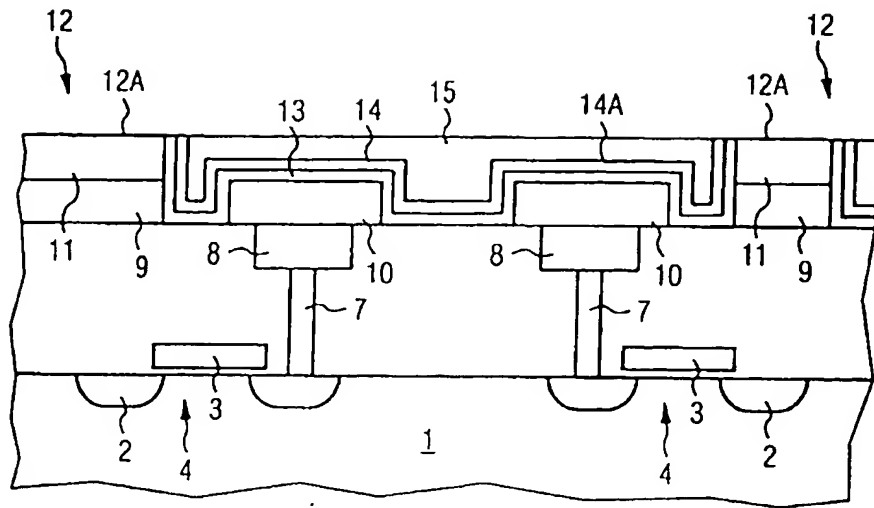
도면7



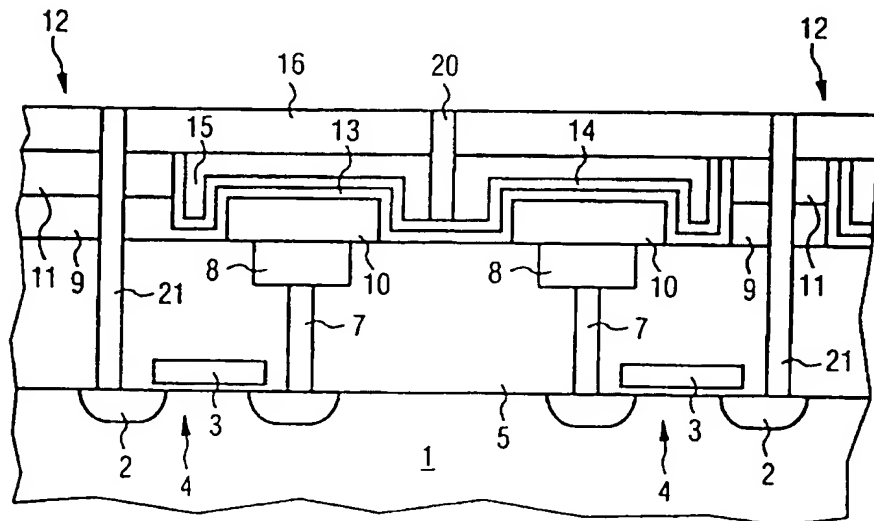
도면8



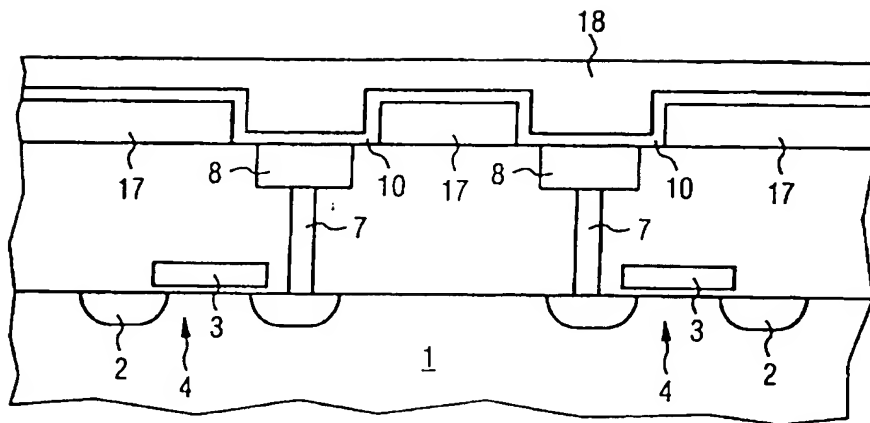
도면9



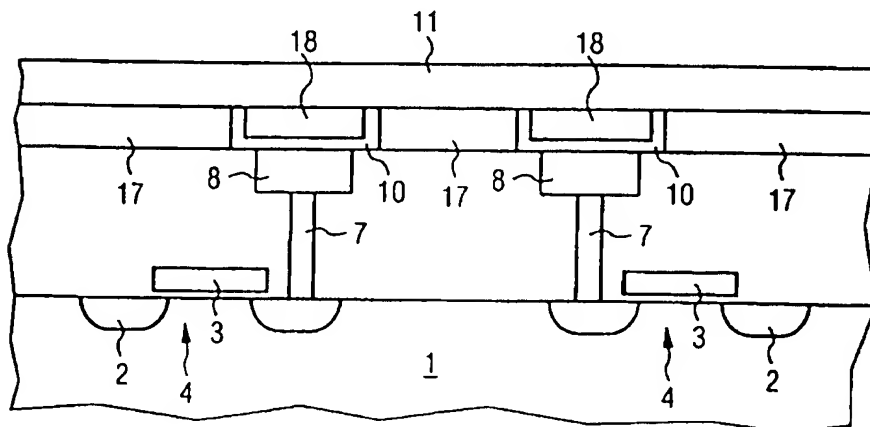
도면 10



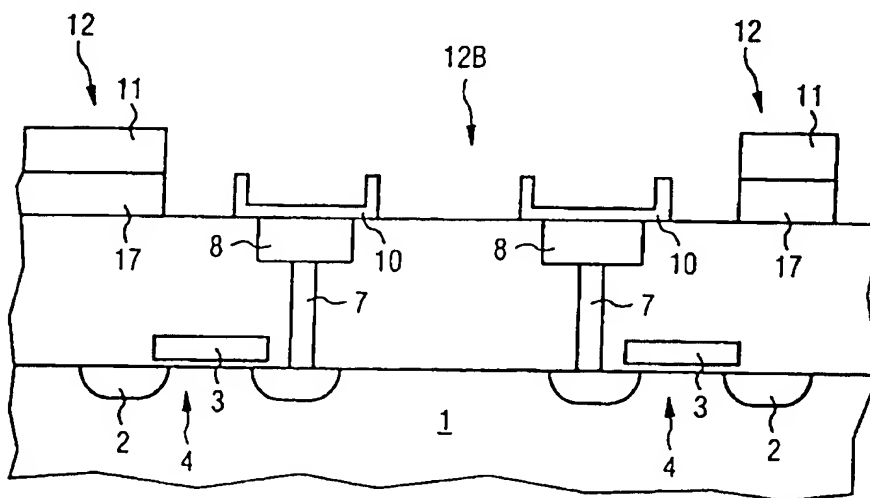
도면11



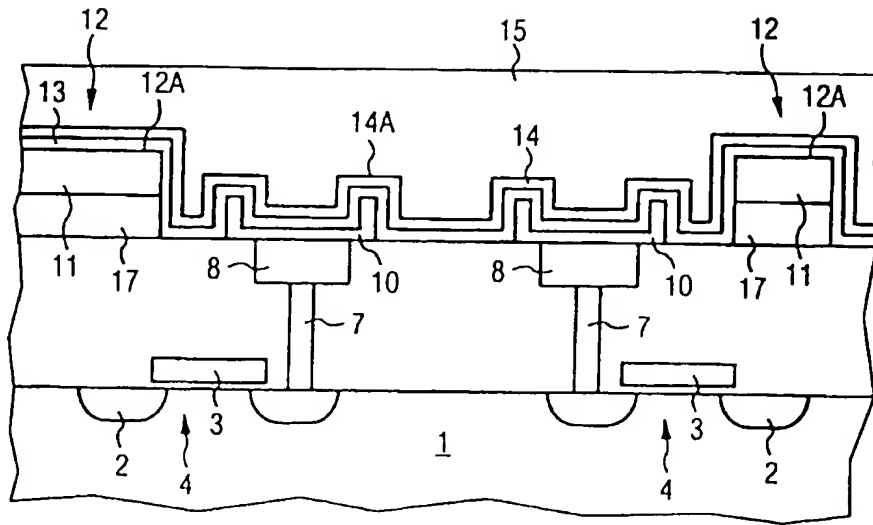
도면12



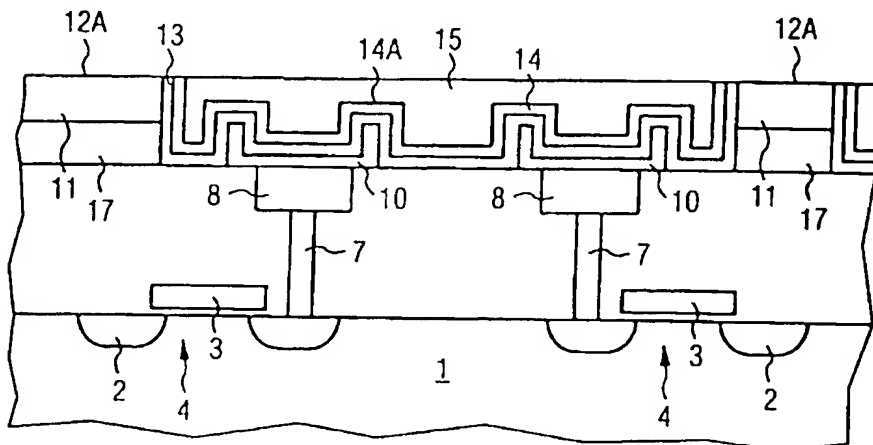
도면13



도면 14



도면 15



도면 16

